Virtex – 5 Xilinx Kartında HW cosimulation Ayarlama Adımları - 26.03.2015

Başlamadan önce kartın üzerinde pinlerden M0 ve M2 takılı (kısa devre), M1 boş olması gerekir.

1) Virtex – 5 kartı USB portundan bilgisayara takılır. Adept yazılımıyla, kartın görüldüğü teyit edilir.

2) Xilinx Design Tools → ISE Design Suite 14.6 (veya 14.2) → System Generator → System Generator kullanılarak Matlab 2012a başlatılır.

3) Aşağıda gösterilen basit sayaç (Counter) mdl dosyası oluşturulur (Başlangıçta Den4\_testwcosim bloğu yer almaz).



4) Sol üst köşedeki kırmızı renkli “System Generator” token’ı üzerine iki kere tıklatılır, açılan pencereden sıra ile aşağıdakiler tıklanır ;

 Compilation → Hardware Co-Simulation → New Compilition Target

Yeni açılan “Target Board Information”, penceresinde, Board Name : Virtex5, Frequency : 100, Pin Location : AG18, olarak girilir.

Daha sonra “Detect” e basılır ve işlem başarılı ise “IR Lengths” kutucuğunda 10 belirir, elle “Boundary Scan Posistion” 1 olarak girilir.

5) “Target Board Information” penceresinde, “Targetable Devices” başlığı altında “Add” tıklanır, buradan sırasıyla, Virtex 5 → xc5vlx50t → -1 (ff1136) seçilir.

6) “Install” ve “Save Zip” e basılarak, Virtex5.zip dosyasının yaratılması sağlanır.

7) Tekrar “System Generator” token’ı açılır, buradan

Compilation → Hardware Co-Simulation → Virtex5 seçilir. Ardından bu token’daki altta bulunan “Generate” butonuna basılır. Bitince boş bir mdl dosyasında görünen Den4\_test hwcosim bloğu kopyalama ile Den4\_test mdl dosyası içine alınır, osilaskopta ikinci giriş kanalı yaratılır. Run yapılarak hem üstteki hem de alttaki osilaskop kanalını aynı çıktıyı verdiği teyit edilir.

Hazır portlar kullanılmak istenir ise

1) Non Memory Mapped Ports’dan, Port Name : LD0, Output, Pin Loc : AG8, Press AddPin şeklinde ayarlama yapılır.

2) Save and Start New’a basılır. Port Name : JB1, Output, Pin Loc : AE9, Press AddPin şeklinde yeni bir ayarlama yapılabilir.

3) Press install yapıldığında sarı pinler görülür. Save port and plugins’e basılır.